PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-218222

(43)Date of publication of application : 31.07.2003

(51)Int.CI. H01L 21/822

H01L 27/04

(21)Application number : 2002-014057

(22)Date of filing : 23.01.2002

(71)Applicant : MITSUMI ELECTRIC CO LTD

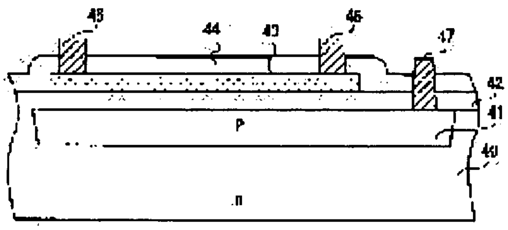
(72)Inventor : NARITA MITSUFUSA

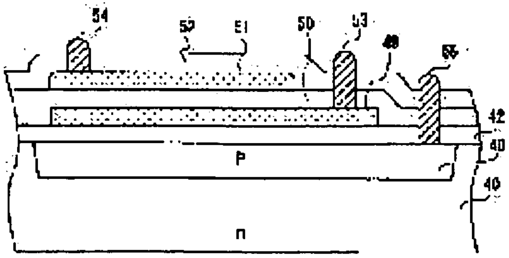
(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit which can prevent leakage out of ripple component contained in electric source to resistors and capacitors and which can stabilize output voltage.

SOLUTION: In this circuit, an occurrence of a parasitic capacity among a n-type semiconductor substrate 40, a resistor R1, and a capacitor C1 can be prevented by forming a p-type well at the position which forms at least one of the resistor R1 and the capacitor C1 on the n-type semiconductor substrate 40 and connecting p-type wells 41, 48 to a specified electric potential of low impedance condition, so that it is possible to prevent leakage out of ripple component contained in electric source to the resistor R1 and the capacitor C1.





LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

BEST AVAILABLE COPY

[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

JP2003-218222

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]
[Claim 1] The semiconductor integrated circuit which forms a well in the location which forms either [at least] the resistance in said n-type-semiconductor substrate, or a capacitor p mold in the semiconductor integrated circuit formed in a n-type-semiconductor substrate, and is characterized by said thing [connecting a well to the predetermined potential of a low impedance condition p mold].
[Claim 2] It is the semiconductor integrated circuit characterized by being the bleeder resistance which pressures partially the electrical potential difference of said output terminal in the constant-voltage-power-supply circuit controlled for said resistance to set the electrical potential difference of an output terminal constant in a semiconductor integrated circuit according to claim 1.
[Claim 3] It is the semiconductor integrated circuit characterized by being the capacitor for phase compensation by which parallel connection of said capacitor was carried out to said bleeder resistance in the semiconductor integrated circuit according to claim 2.

[Translation done.]

JP 2003-218222

* NOTICES *

JPO and NCIPI are not responsible for any
damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]
[0001]
[Field of the Invention] Especially this invention relates to the semiconductor integrated circuit formed in a n-type-semiconductor substrate about a semiconductor integrated circuit.
[0002]
[Description of the Prior Art] Drawing 4 shows the circuitry Fig. of the constant-voltage-power-supply circuit which is an example of a semiconductor integrated circuit. This semiconductor integrated circuit is a constant-voltage-power-supply circuit which stabilizes and outputs direct current voltage.
[0003] The power source Vcc of a direct current is supplied to an input terminal 10 from the outside among this drawing. The source of depletion type n channel FET(field-effect transistor) M1 is connected to an input terminal 10, and the gate and the drain of FETM1 are connected to the source of the depletion type n channel FETM2. The gate and the drain of FETM2 are connected to the gate and the drain of the enhancement type n channel FETM3, and the source of FETM3 is grounded and constitutes the source of reference voltage. The reference voltage Vref generated in the drain of this FETM3 is supplied to the inversed input terminal of the error amplifier 14.
[0004] Moreover, the source and the backgate of a p channel FET M4 as an output transistor are connected to an input terminal 10, the gate is connected to the output terminal of the error amplifier 14, the error electrical potential difference is supplied to FETM4, and the drain is connected to the output terminal 16. The output terminal 16 is grounded through the bleeder resistance R1 and R2 by which the series connection was carried out, and the node of resistance R1 and R2 is connected to the non-inversed input terminal of the error amplifier 14. The capacitor C1 for phase compensation is connected between the node of bleeder resistance R1 and R2, and the output terminal 16.
[0005] The error amplifier 14 carries out the differential amplifier of the electrical potential difference and reference voltage Vref which pressured output voltage Vo partially by bleeder resistance R1 and R2, and generates an error electrical potential difference. This error electrical potential difference is supplied to the gate of FETM4, and drive control of FETM4 is carried out so that output voltage Vo may become fixed.
[0006] In the semiconductor integrated circuit shown in drawing 4 , bleeder resistance R1 and R2 and a capacitor C1 are formed for example, by polish recon resistance. Cross-section structural drawing of the bleeder resistance R1 above-mentioned part in the case of forming this semiconductor integrated circuit in a n-type-semiconductor substrate and capacitor C1 part is shown in drawing 5 (A) and (B).
[0007] In drawing 5 (A), the insulator layer 21 of SiO2 grade is formed in the front face of the n-type-semiconductor substrate 20, and the polish recon resistance 22 is formed on an insulator layer 21. The polish recon resistance 22 is insulated by the insulator layer 23 of SiO2 grade, and the both ends of the polish recon resistance 22 are connected to each end of an output terminal 16 and bleeder resistance R2 by the metal wiring 24 and 25.

[0008] In drawing 5 (B), the insulator layer 21 of SiO2 grade is formed in the front face of the n-type-semiconductor substrate 20, and the polish recon layer 24 of low resistance is formed on an insulator layer 21. It insulates by the insulator layer 25 of SiO2 grade, and the polish recon layer 26 of low resistance is formed on an insulator layer 25, and the polish recon layer 24 is insulated by the insulator layer 27. the polish recon layers 24 and 26 -- each is connected to each end of an output terminal 16 and bleeder resistance R2 by the metal wiring 28 and 29, and the capacitor C1 which uses an insulator layer 25 as a dielectric is formed.

[0009]

[Problem(s) to be Solved by the Invention] As shown in drawing 5 (A) and (B), when a semiconductor integrated circuit is formed on the n-type-semiconductor substrate 20, the n-type-semiconductor substrate 20 is connected to a power source Vcc. In this case, parasitic capacitance Cp0 occurs between the n-type-semiconductor substrate 20 and the polish recon resistance 22 through an insulator layer 21, and parasitic capacitance Cp1 occurs between the n-type-semiconductor substrate 20 and the polish recon layer 24.

[0010] When a ripple component was contained in a power source Vcc, the potential of the n-type-semiconductor substrate 20 was changed by the ripple component, and since a ripple component was inputted into the error amplifier 12 and amplified through parasitic capacitance Cp0, there was a problem of changing output voltage Vo. Moreover, there was a problem of changing the potential of the n-type-semiconductor substrate 20 by the ripple component, and a ripple component having leaked [beginning] to an output terminal 16 through parasitic capacitance Cp1, and changing output voltage Vo.

[0011] This invention was made in view of the above-mentioned point, can prevent that the ripple component contained in a power source begins to leak to resistance and a capacitor, and aims at offering the semiconductor integrated circuit which can stabilize output voltage.

[0012]

[Means for Solving the Problem] In the semiconductor integrated circuit with which invention according to claim 1 is formed in a n-type-semiconductor substrate (40) the location which forms either [at least] the resistance (R1) in said n-type-semiconductor substrate (40), or a capacitor (C1) -- p mold -- a well -- forming -- said p mold -- by connecting a well (41 48) to the predetermined potential of a low impedance condition It can prevent that parasitic capacitance occurs between a n-type-semiconductor substrate (40), resistance (R1), and a capacitor (C1), and can prevent that the ripple component contained in a power source begins to leak to resistance (R1) and a capacitor (C1).

[0013] Invention according to claim 2 is set to a semiconductor integrated circuit according to claim 1. Said resistance (R1) By being the bleeder resistance which pressures partially the electrical potential difference of said output terminal in the constant-voltage-power-supply circuit controlled to set constant the electrical potential difference of an output terminal (16) It can prevent that parasitic capacitance occurs between a n-type-semiconductor substrate (40) and resistance (R1), and can prevent the ripple component contained in a power source beginning to leak to resistance (R1), and changing the electrical potential difference of an output terminal (16).

[0014] the capacitor for phase compensation by which parallel connection of said capacitor (C1) was carried out for invention according to claim 3 to said bleeder resistance in the semiconductor integrated circuit according to claim 2 -- it is -- it can prevent being able to prevent that parasitic capacitance occurs between a n-type-semiconductor substrate (40) and a capacitor (C1), and the ripple component contained in a power source carrying out leakage appearance to a capacitor (C1) more, and changing the electrical potential difference of an output terminal.

[0015] In addition, the reference mark in the above-mentioned parenthesis is attached in order to make an understanding easy, and it does not pass over it to an example, and it is not limited to the mode of illustration.

[0016]

[Embodiment of the Invention] Drawing 1 (A) and (B) show cross-section structural drawing of one example of the semiconductor integrated circuit of this invention. This drawing (A) is cross-section structural drawing of bleeder resistance R1 part of drawing 4 , and this drawing (B) is cross-section structural drawing of capacitor C1 part of drawing 4 .

[0017] In drawing 1 (A), the well 41 is formed in the n-type-semiconductor substrate 40 p mold of diffusion of p mold impurity etc. A well 41 is formed in coincidence p mold at the process of the n channels FETM1-M3 of drawing 4 which forms a well p mold.

[0018] The insulator layer 42 of SiO2 grade is formed in the front face of the n-type-semiconductor substrate 40 which contains a well 41 p mold, and the polish recon resistance 43 is formed on an insulator layer 42. The polish recon resistance 43 is insulated by the insulator layer 44 of SiO2 grade, and the both ends of the polish recon resistance 44 are connected to each end of an output terminal 16 and bleeder resistance R2 by the metal wiring 45 and 46.

[0019] Moreover, the end of the metal wiring 47 is connected to a well 41 p molds, and the other end of this metal wiring 47 is grounded. In addition, the metal wiring 47 should just be the predetermined potential of not only touch-down level but low impedance. Moreover, the n-type-semiconductor substrate 40 is connected to a power source Vcc.

[0020] Thus, since [between which it is placed by the well 41 p mold] it was grounded between the n-type-semiconductor substrate 40 and the polish recon resistance 44 When it can prevent and a ripple component is contained in a power source Vcc, even if it changes the potential of the n-type-semiconductor substrate 40 by the ripple component, that parasitic capacitance occurs between the n-type-semiconductor substrate 40 and the polish recon resistance 44 It can prevent a ripple component being inputted into the error amplifier 12, being amplified, and changing output voltage Vo.

[0021] In drawing 1 (B), the well 48 is formed in the n-type-semiconductor substrate 40 p mold of diffusion of p mold impurity etc. A well 48 is formed in coincidence p mold at the process of the n channels FETM1-M3 of drawing 4 which forms a well p mold.

[0022] The insulator layer 42 of SiO2 grade is formed in the front face of the n-type-semiconductor substrate 40 which contains a well 48 p mold, and the polish recon layer 49 of low resistance is formed on an insulator layer 42. It insulates by the insulator layer 50 of SiO2 grade, and the polish recon layer 51 of low resistance is formed on an insulator layer 50, and the polish recon layer 49 is insulated by the insulator layer 52. the polish recon layers 49 and 51 -- each is connected to each end of an output terminal 16 and bleeder resistance R2 by the metal wiring 53 and 54, and the capacitor C1 which uses an insulator layer 50 as a dielectric is formed.

[0023] Moreover, the end of the metal wiring 55 is connected to a well 41 p molds, and the other end of this metal wiring 55 is grounded. Moreover, the n-type-semiconductor substrate 40 is connected to a power source Vcc. Thus, even if it changes the potential of the n-type-semiconductor substrate 40 by the ripple component when it can prevent that parasitic capacitance occurs between the n-type-semiconductor substrate 40 and the polish recon layer 49 and a ripple component is contained in a power source Vcc since [between which it is placed by the well 48 p mold] it was grounded between the n-type-semiconductor substrate 40 and the polish recon layer 49, it can prevent a ripple component beginning to leak to an output terminal 16, and changing output voltage Vo.

[0024] For this reason, the frequency and the ripple rejection property of the semiconductor integrated circuit of this invention do not produce degradation to a high-frequency region, as the frequency and the ripple rejection property of the constant-voltage-power-supply circuit of drawing 4 are shown in a continuous-line broken line to having deteriorated from the low frequency as the conventional semiconductor integrated circuit shows to the broken line of drawing 2 .

[0025] By the way, this invention may be applied to an amplifying circuit, a comparator, etc. as shown not only in a constant-voltage-power-supply circuit but in drawing 3 . In drawing 3 , inversed amplification consists of an operational amplifier 60, resistance R10 and R11, and a capacitor C10. In addition, it is not necessary to necessarily form a capacitor C10.

[0026] Here, resistance R10 and R11 consists of polish recon resistance which formed the well 41 in the n-type-semiconductor substrate 40 p mold, and was formed in the upper part through the insulator layer like the bleeder resistance R1 of drawing 1 (A). Moreover, a capacitor C10 is constituted like the capacitor C1 of drawing 1 (B).

[0027]

[Effect of the Invention] the location in which invention according to claim 1 forms either [at least] the resistance (R1) in a n-type-semiconductor substrate, or a capacitor like **** -- p mold -- a well -- forming -- p mold -- by connecting a well to the predetermined potential of a low-impedance condition, it can prevent that parasitic capacitance occurs between a n-type-semiconductor substrate, resistance, and a capacitor, and it can prevent that the ripple component contained in a power source begins to leak to resistance and a capacitor.

[0028] By being the bleeder resistance which pressures partially the electrical potential difference of an output terminal in the constant-voltage-power-supply circuit controlled by invention according to claim 2 for resistance to set the electrical potential difference of an output terminal constant, it can prevent that parasitic capacitance occurs between a n-type-semiconductor substrate and resistance, and can prevent the ripple component contained in a power source beginning to leak to resistance, and changing the electrical potential difference of an output terminal.

[0029] the capacitor for phase compensation by which parallel connection of the capacitor was carried out to bleeder resistance in invention according to claim 3 -- it is -- it can prevent being able to prevent that parasitic capacitance occurs between a n-type-semiconductor substrate and a capacitor, and the ripple component contained in a power source carrying out leakage appearance to a capacitor more, and changing the electrical potential difference of an output terminal.

[Translation done.]

(19)日本国特許庁（ＪＰ）

(12) **公開特許公報**（Ａ）

(11)特許出願公開番号
特開2003－218222
（P2003－218222A）

(43)公開日　平成15年７月31日(2003.7.31)

(51)Int.Cl.⁷　識別記号　ＦＩ　テーマコード（参考）
ＨＯ１Ｌ　21/822　ＨＯ１Ｌ　27/04　Ｈ　５Ｆ０３８
27/04　Ｃ
Ｐ
Ｂ

審査請求　未請求　請求項の数３　ＯＬ　（全　５　頁）

(21)出願番号　特願2002－14057（P2002－14057）

(22)出願日　平成14年１月23日(2002.1.23)

(71)出願人　000006220
ミツミ電機株式会社
東京都多摩市鶴牧２丁目11番地２

(72)発明者　成田　光房
神奈川県厚木市酒井1601　ミツミ電機株式会社厚木事業所内

(74)代理人　100070150
弁理士　伊東　忠彦

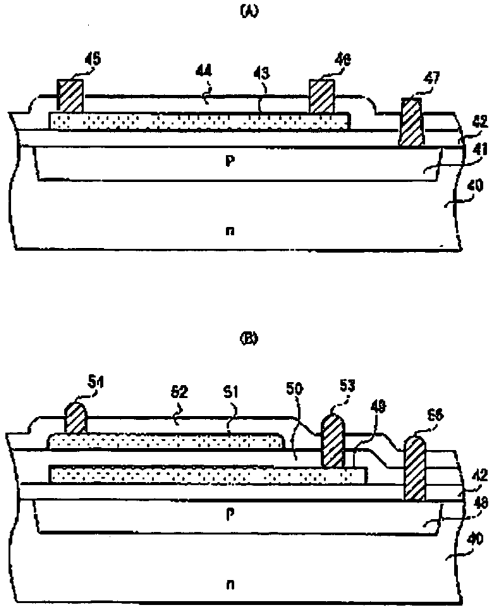
Ｆターム（参考）　5F038 AC02 AC03 AC05 AC15 AR09
BB04 BB05 BH10 EZ20

(54)【発明の名称】　半導体集積回路

(57)【要約】

【課題】　本発明は、電源に含まれるリップル成分が抵抗及びコンデンサに漏れ出すことを防止でき、出力電圧を安定化することができる半導体集積回路を提供することを目的とする。

【解決手段】　ｎ型半導体基板４０における抵抗Ｒ１及びコンデンサＣ１の少なくとも一方を形成する位置にｐ型ウエルを形成し、ｐ型ウエル４１、４８を低インピーダンス状態の所定電位に接続することにより、ｎ型半導体基板４０と抵抗Ｒ１及びコンデンサＣ１との間に寄生容量が発生することを防止でき、電源に含まれるリップル成分が抵抗Ｒ１及びコンデンサＣ１に漏れ出すことを防止できる。



【特許請求の範囲】

【請求項１】　ｎ型半導体基板に形成される半導体集積回路において，

前記ｎ型半導体基板における抵抗及びコンデンサの少なくとも一方を形成する位置にｐ型ウエルを形成し，

前記ｐ型ウエルを低インピーダンス状態の所定電位に接続することを特徴とする半導体集積回路。

【請求項２】　請求項１記載の半導体集積回路において，

前記抵抗は、出力端子の電圧を一定とするよう制御する定電圧電源回路で前記出力端子の電圧を分圧するブリーダ抵抗であることを特徴とする半導体集積回路。

【請求項３】　請求項２記載の半導体集積回路において，

前記コンデンサは、前記ブリーダ抵抗に並列接続された位相補償用のコンデンサであることを特徴とする半導体集積回路。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は半導体集積回路に関し，特に、ｎ型半導体基板に形成される半導体集積回路に関する。

【０００２】

【従来の技術】図４は、半導体集積回路の一例である定電圧電源回路の回路構成図を示す。この半導体集積回路は，直流電圧を安定化して出力する定電圧電源回路である。

【０００３】同図中、入力端子１０には外部から直流の電源Ｖｃｃが供給される。入力端子１０にはデプリーション型ｎチャネルＦＥＴ（電界効果トランジスタ）Ｍ１のソースが接続され、ＦＥＴＭ１のゲート及びドレインはデプリーション型ｎチャネルＦＥＴＭ２のソースに接続されている。ＦＥＴＭ２のゲート及びドレインはエンハンスメント型ｎチャネルＦＥＴＭ３のゲート及びドレインに接続され，ＦＥＴＭ３のソースは接地されて基準電圧源を構成している。このＦＥＴＭ３のドレインに発生した基準電圧Ｖｒｅｆはエラーアンプ１４の反転入力端子に供給される。

【０００４】また、入力端子１０には出力トランジスタとしてのｐチャネルＦＥＴＭ４のソース及びバックゲートが接続され，ＦＥＴＭ４はゲートをエラーアンプ１４の出力端子に接続されてエラー電圧を供給されており、ドレインを出力端子１６に接続されている。出力端子１６は直列接続されたブリーダ抵抗Ｒ１，Ｒ２を介して接地されており，抵抗Ｒ１，Ｒ２の接続点はエラーアンプ１４の非反転入力端子に接続されている。ブリーダ抵抗Ｒ１，Ｒ２の接続点と出力端子１６の間に位相補償用のコンデンサＣ１が接続されている。

【０００５】エラーアンプ１４は出力電圧Ｖｏをブリーダ抵抗Ｒ１，Ｒ２で分圧した電圧と基準電圧Ｖｒｅｆとを差動増幅してエラー電圧を生成する。このエラー電圧はＦＥＴＭ４のゲートに供給され、出力電圧Ｖｏが一定となるようにＦＥＴＭ４が駆動制御される。

【０００６】図４に示す半導体集積回路において，ブリーダ抵抗Ｒ１，Ｒ２及びコンデンサＣ１は、例えばポリシリコン抵抗で形成される。この半導体集積回路をｎ型半導体基板に形成する場合の上記ブリーダ抵抗Ｒ１部分とコンデンサＣ１部分の断面構造図を図５（Ａ），（Ｂ）に示す。

【０００７】図５（Ａ）において、ｎ型半導体基板２０の表面に$\mathrm{SiO_2}$等の絶縁膜２１が形成され、絶縁膜２１上にポリシリコン抵抗２２が形成される。ポリシリコン抵抗２２は$\mathrm{SiO_2}$等の絶縁膜２３で絶縁され，ポリシリコン抵抗２２の両端は金属配線２４，２５によって出力端子１６，ブリーダ抵抗Ｒ２の一端それぞれに接続される。

【０００８】図５（Ｂ）において、ｎ型半導体基板２０の表面に$\mathrm{SiO_2}$等の絶縁膜２１が形成され、絶縁膜２１上に低抵抗のポリシリコン層２４が形成される。ポリシリコン層２４は$\mathrm{SiO_2}$等の絶縁膜２５で絶縁され、絶縁膜２５上に低抵抗のポリシリコン層２６が形成され絶縁膜２７で絶縁される。ポリシリコン層２４，２６それぞれは金属配線２８，２９によって出力端子１６，ブリーダ抵抗Ｒ２の一端それぞれに接続され、絶縁膜２５を誘電体とするコンデンサＣ１が形成される。

【０００９】

【発明が解決しようとする課題】図５（Ａ），（Ｂ）に示すようにｎ型半導体基板２０上に半導体集積回路を形成した場合、ｎ型半導体基板２０は電源Ｖｃｃに接続される。この場合，絶縁膜２１を介してｎ型半導体基板２０とポリシリコン抵抗２２の間に寄生容量Ｃｐ０が発生し，また、ｎ型半導体基板２０とポリシリコン層２４の間に寄生容量Ｃｐ１が発生する。

【００１０】電源Ｖｃｃにリップル成分が含まれる場合，ｎ型半導体基板２０の電位がリップル成分により変動し，リップル成分が寄生容量Ｃｐ０を介してエラーアンプ１２に入力され増幅されるために出力電圧Ｖｏが変動するという問題があった。また、ｎ型半導体基板２０の電位がリップル成分により変動し，リップル成分が寄生容量Ｃｐ１を介して出力端子１６に漏れ出して出力電圧Ｖｏが変動するという問題があった。

【００１１】本発明は、上記の点に鑑みなされたもので，電源に含まれるリップル成分が抵抗及びコンデンサに漏れ出すことを防止でき，出力電圧を安定化することができる半導体集積回路を提供することを目的とする。

【００１２】

【課題を解決するための手段】請求項１に記載の発明は，ｎ型半導体基板（４０）に形成される半導体集積回路において、前記ｎ型半導体基板（４０）における抵抗（Ｒ１）及びコンデンサ（Ｃ１）の少なくとも一方を形

成する位置にｐ型ウエルを形成し、前記ｐ型ウエル（４１，４８）を低インピーダンス状態の所定電位に接続することにより，ｎ型半導体基板（４０）と抵抗（Ｒ１）及びコンデンサ（Ｃ１）との間に寄生容量が発生することを防止でき，電源に含まれるリップル成分が抵抗（Ｒ１）及びコンデンサ（Ｃ１）に漏れ出すことを防止できる。

【００１３】請求項２に記載の発明は，請求項１記載の半導体集積回路において，前記抵抗（Ｒ１）は，出力端子（１６）の電圧を一定とするよう制御する定電圧電源回路で前記出力端子の電圧を分圧するブリーダ抵抗であることにより，ｎ型半導体基板（４０）と抵抗（Ｒ１）との間に寄生容量が発生することを防止でき、電源に含まれるリップル成分が抵抗（Ｒ１）に漏れ出し出力端子（１６）の電圧が変動することを防止できる。

【００１４】請求項３に記載の発明は，請求項２記載の半導体集積回路において，前記コンデンサ（Ｃ１）は、前記ブリーダ抵抗に並列接続された位相補償用のコンデンサであるにより、ｎ型半導体基板（４０）とコンデンサ（Ｃ１）との間に寄生容量が発生することを防止でき，電源に含まれるリップル成分がコンデンサ（Ｃ１）に漏れ出し出力端子の電圧が変動することを防止できる。

【００１５】なお、上記括弧内の参照符号は、理解を容易にするために付したものであり、一例にすぎず，図示の態様に限定されるものではない。

【００１６】

【発明の実施の形態】図１（Ａ），（Ｂ）は、本発明の半導体集積回路の一実施例の断面構造図を示す。同図（Ａ）は図４のブリーダ抵抗Ｒ１部分の断面構造図であり，同図（Ｂ）は図４のコンデンサＣ１部分の断面構造図である。

【００１７】図１（Ａ）において、ｎ型半導体基板４０にはｐ型不純物の拡散等によりｐ型ウエル４１が形成されている。ｐ型ウエル４１は、図４のｎチャネルＦＥＴ Ｍ１～Ｍ３のｐ型ウエルを形成する工程で同時に形成される。

【００１８】ｐ型ウエル４１を含むｎ型半導体基板４０の表面にSiO_2等の絶縁膜４２が形成され、絶縁膜４２上にポリシリコン抵抗４３が形成される。ポリシリコン抵抗４３はSiO_2等の絶縁膜４４で絶縁され，ポリシリコン抵抗４４の両端は金属配線４５，４６によって出力端子１６、ブリーダ抵抗Ｒ２の一端それぞれに接続される。

【００１９】また、ｐ型ウエル４１には金属配線４７の一端が接続され，この金属配線４７の他端は接地される。なお、金属配線４７は接地レベルに限らず低インピーダンスの所定電位であればよい。また、ｎ型半導体基板４０は電源Ｖｃｃに接続される。

【００２０】このように，ｎ型半導体基板４０とポリシ

リコン抵抗４４との間に接地されたｐ型ウエル４１が介在するために，ｎ型半導体基板４０とポリシリコン抵抗４４の間に寄生容量が発生することを防止でき，電源Ｖｃｃにリップル成分が含まれる場合にｎ型半導体基板４０の電位がリップル成分により変動したとしても，リップル成分がエラーアンプ１２に入力されて増幅されて出力電圧Ｖｏが変動することを防止できる。

【００２１】図１（Ｂ）において、ｎ型半導体基板４０にはｐ型不純物の拡散等によりｐ型ウエル４８が形成されている。ｐ型ウエル４８は、図４のｎチャネルＦＥＴ Ｍ１～Ｍ３のｐ型ウエルを形成する工程で同時に形成される。

【００２２】ｐ型ウエル４８を含むｎ型半導体基板４０の表面にSiO_2等の絶縁膜４２が形成され、絶縁膜４２上に低抵抗のポリシリコン層４９が形成される。ポリシリコン層４９はSiO_2等の絶縁膜５０で絶縁され、絶縁膜５０上に低抵抗のポリシリコン層５１が形成され絶縁膜５２で絶縁される。ポリシリコン層４９，５１それぞれは金属配線５３，５４によって出力端子１６，ブリーダ抵抗Ｒ２の一端それぞれに接続され、絶縁膜５０を誘電体とするコンデンサＣ１が形成される。

【００２３】また、ｐ型ウエル４１には金属配線５５の一端が接続され，この金属配線５５の他端は接地される。また、ｎ型半導体基板４０は電源Ｖｃｃに接続される。このように，ｎ型半導体基板４０とポリシリコン層４９との間に接地されたｐ型ウエル４８が介在するために，ｎ型半導体基板４０とポリシリコン層４９の間に寄生容量が発生することを防止でき、電源Ｖｃｃにリップル成分が含まれる場合にｎ型半導体基板４０の電位がリップル成分により変動したとしても，リップル成分が出力端子１６に漏れ出して出力電圧Ｖｏが変動することを防止できる。

【００２４】このため、図４の定電圧電源回路の周波数・リップルリジェクション特性は、従来の半導体集積回路では図２の破線に示すように低い周波数から劣化しているのに対し，本発明の半導体集積回路の周波数・リップルリジェクション特性は実線破線に示すように高周波数域まで劣化を生じない。

【００２５】ところで、本発明は定電圧電源回路に限らず図３に示すような増幅回路やコンパレータ等に適用してもよい。図３においては，演算増幅器６０と抵抗Ｒ１０，Ｒ１１とコンデンサＣ１０で反転増幅回路を構成している。なお，コンデンサＣ１０は必ずしも設けなくとも良い。

【００２６】ここで、抵抗Ｒ１０，Ｒ１１は、図１（Ａ）のブリーダ抵抗Ｒ１と同様に，ｎ型半導体基板４０にｐ型ウエル４１を形成し、その上部に絶縁膜を介して形成されたポリシリコン抵抗にて構成する。また、コンデンサＣ１０は図１（Ｂ）のコンデンサＣ１と同様に構成する。

【００２７】

【発明の効果】上述の如く、請求項１に記載の発明は、ｎ型半導体基板における抵抗（Ｒ１）及びコンデンサの少なくとも一方を形成する位置にｐ型ウエルを形成し、ｐ型ウエルを低インピーダンス状態の所定電位に接続することにより、ｎ型半導体基板と抵抗及びコンデンサとの間に寄生容量が発生することを防止でき、電源に含まれるリップル成分が抵抗及びコンデンサに漏れ出すことを防止できる。

【００２８】請求項２に記載の発明では、抵抗は、出力端子の電圧を一定とするよう制御する定電圧電源回路で出力端子の電圧を分圧するブリーダ抵抗であることにより、ｎ型半導体基板と抵抗との間に寄生容量が発生することを防止でき、電源に含まれるリップル成分が抵抗に漏れ出し出力端子の電圧が変動することを防止できる。

【００２９】請求項３に記載の発明では、コンデンサは、ブリーダ抵抗に並列接続された位相補償用のコンデンサであるにより、ｎ型半導体基板とコンデンサとの間に寄生容量が発生することを防止でき、電源に含まれるリップル成分がコンデンサに漏れ出し出力端子の電圧が変動することを防止できる。

【図面の簡単な説明】　＊

＊【図１】本発明の半導体集積回路の要部の一実施例の断面構造図である。

【図２】本発明の半導体集積回路の周波数・リップルリジェクション特性を示す図である。

【図３】半導体集積回路の他の一例である増幅回路の回路構成図である。

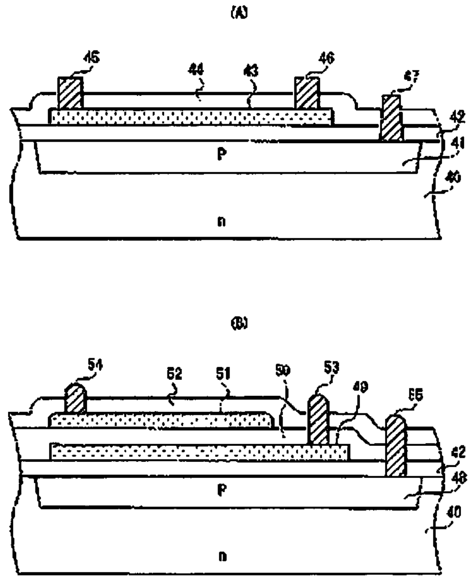
【図４】半導体集積回路の一例である定電圧電源回路の回路構成図である。

【図５】従来の半導体集積回路の一部の断面構造図である。

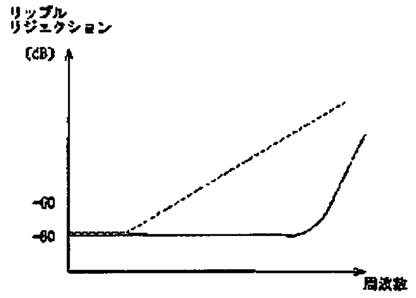
【符号の説明】

４０	ｎ型半導体基板
４１，４８	ｐ型ウエル
４２，４４，５０，５２	絶縁膜
４３	ポリシリコン抵抗
４５，４６，４７，５３，５４，５５	金属配線
４９，５１	ポリシリコン層
Ｃ１，Ｃ１０	コンデンサ
Ｍ１～Ｍ４	ＦＥＴ（電界効果トランジスタ）
Ｒ１，Ｒ２	ブリーダ抵抗
Ｒ１０，Ｒ１１	抵抗

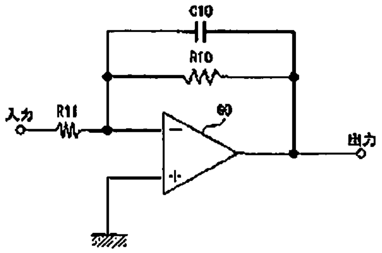
【図１】



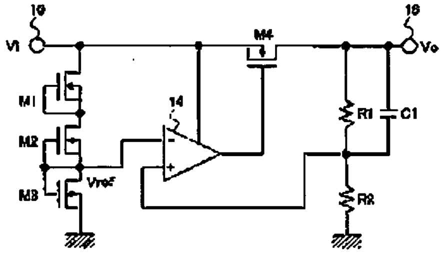
【図２】



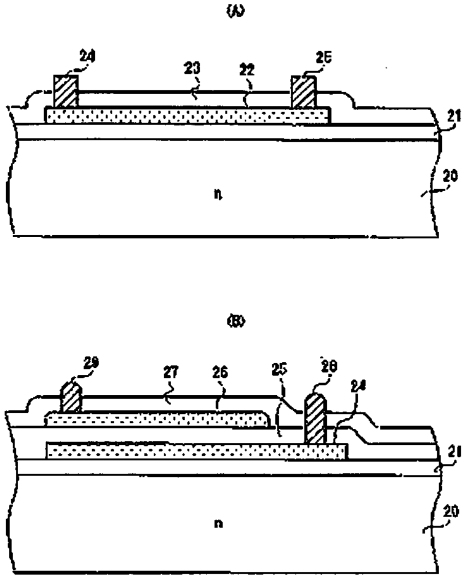
【図３】



【図４】


10
Vi
16
Vo
M4
M1
M2
M3
Vref
14
R1
C1
R2

【図５】


(A)
n
(B)
n

This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☑ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: ______________________

IMAGES ARE BEST AVAILABLE COPY.
As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.